

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-178345

(43)Date of publication of application : 30.06.1998

(51)Int.Cl.

H03M 1/44

(21)Application number : 08-337989 (71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

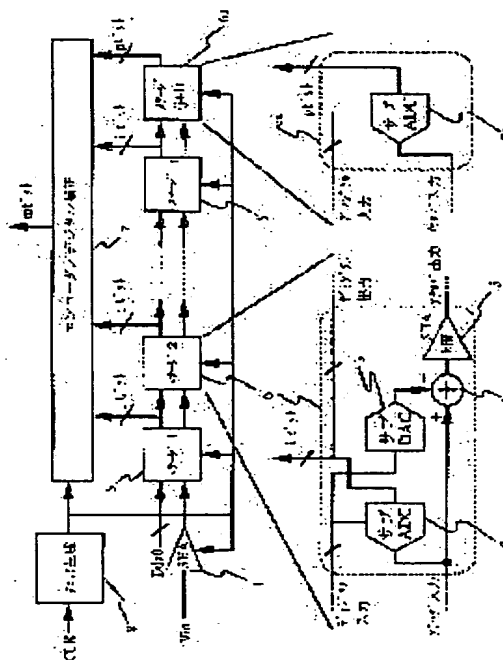
(22)Date of filing : 18.12.1996 (72)Inventor : IMAIZUMI SHIGEKI
SHOKAKU TOSHIHIRO
MATSUURA TATSUJI
KOMATSU TATSUYA

(54) A/D CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate an operation by adding a reference voltage generation circuit to sub ADC to supply a reference voltage and the analog signal of the input of a subtracter to a comparator provided for sub ADC so as to reduce the flowing time of a signal in a critical path.

SOLUTION: The digital output of a sub ADC 9 at n-th stage is supplied for sub ADC 3 at (n+1)-th stage in addition to sub ADC 3 at n-th state and the analog signal of the input of a subscriber 4 at n-th stage is similarly supplied a sub ADC 9 at n-th stage. Sub ADC 9 inputs these two signals to execute subtracting and comparing the operation with the output of the reference voltage (D/A conversion). The signals flow from the digital output of sub ADC 9 at (n) - stage through the sample/hold amplifier 5 at (n) - the stage and from the digital output of sub ADC 9 at (n) - stage through the sub ADC at (n+1) - the stage. As both routes include one circuit requiring a long period, the large margin of time is generated to accelerate the operation of this A/D converter for the portion.



LEGAL STATUS

[Date of request for examination] 02.10.2001

[Date of sending the examiner's decision
of rejection]

(51) Int.Cl.⁶

識別記号

F I

H 0 3 M 1/44

H 0 3 M 1/44

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平8-337989

(22) 出願日 平成8年(1996)12月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都国分寺市東恋ヶ窪三丁目1番地1

(72) 発明者 今泉 栄亀

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74) 代理人 弁理士 高橋 明夫

最終頁に続く

(54) 【発明の名称】 A/D変換器

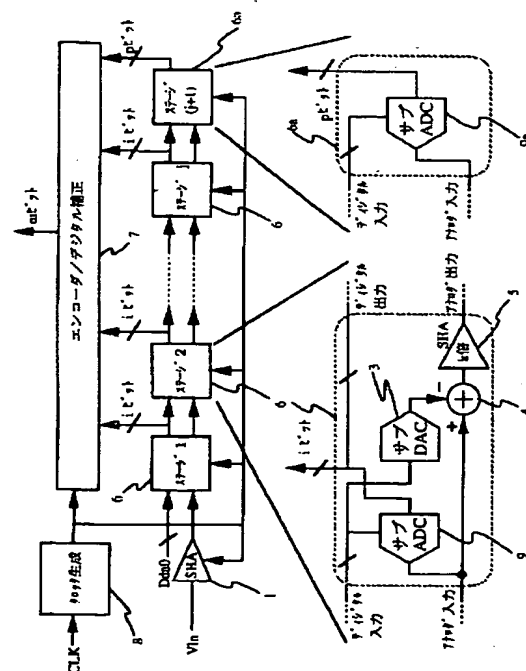
(57) 【要約】

【課題】クリティカルパスにおける動作時間を短縮することによってA/D変換器を高速化すること。

【解決手段】小ビットのA/D変換ステージを複数段縦続接続して所定のビット数のデジタル信号を得るパイプライン方式のA/D変換器において、前段のステージからのデジタル信号のレベルに応じた電圧値の基準電圧を出力する基準電圧発生回路をステージ内部のA/D変換器であるサブADCに付加し、サブADCの有する比較器に同基準電圧と減算器入力のアナログ信号とを供給する。

【効果】クリティカルパスにおいて従来直列であったサンプル/増幅/ホールドの動作と比較器の比較動作が並列になる。

図 2



【特許請求の範囲】

【請求項1】被変換アナログ信号を小ビットのデジタル信号に変換するA/D変換を行なうサブA/D変換器と、当該変換器出力のデジタル信号のD/A変換を行なうサブD/A変換器と、当該サブD/A変換器出力のアナログ信号と前記被変換アナログ信号との差信号を生成する減算器と、当該減算器の出力信号の増幅、サンプリング及びホールドを行なう増幅器とを備えた小ビットのA/D変換ステージを複数縦続接続して所定のビット数のデジタル信号を得るA/D変換器において、前記サブA/D変換器は、前段のステージからのデジタル信号に応じた電圧値の基準電圧を出力する基準電圧発生回路と、前段のステージの減算器入力のアナログ信号を前記基準電圧発生回路から出力される基準電圧と比較するA/D変換用比較器とを少なくとも備えていることを特徴とするA/D変換器。

【請求項2】前記基準電圧発生回路は、第1の電圧源及び第2の電圧源の間に直列に接続した複数の抵抗と2個の抵抗の接続点毎に接続したスイッチとをもって構成され、当該スイッチは、前記デジタル信号に応じて開閉するものであることを特徴とする請求項1に記載のA/D変換器。

【請求項3】前記サンプリング及びホールドを行なう増幅器は、その出力信号の電圧範囲の中間電位が前記デジタル信号に応じて変化するものであることを特徴とする請求項2に記載のA/D変換器。

【請求項4】初段A/D変換ステージのサブA/D変換器の基準電圧発生回路は、固定電圧値の基準電圧を出力するものであり、かつ、2段目A/D変換ステージのサブA/D変換器に供給するアナログ信号を出力するサンプリング及びホールドを行なう増幅器は、その出力信号の電圧範囲の中間電位が固定されていることを特徴とする請求項1に記載のA/D変換器。

【請求項5】前記サブD/A変換器と前記サンプリング及びホールドを行なう増幅器とは、スイッチドキャパシタを用いて合成された一体型の回路をなしていることを特徴とする請求項3に記載のA/D変換器。

【請求項6】各A/D変換ステージにおけるアナログ信号は、完全差動信号であることを特徴とする請求項1～請求項5のいずれかに記載のA/D変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路に適用して好適なアナログ/デジタル変換器（以下「A/D変換器」という）、特に高速動作のA/D変換器に関する。

【0002】

【従来の技術】A/D変換器には幾つかの回路形式があるが、小ビットのA/D変換を行なうA/D変換ステージを複数縦続接続することによって全体で所定のビット

数の変換を行なう形式もその一つである。その例が、米国文献「IEEE・ジャーナル・オブ・ソリッドステイト・サーキット（IEEE JOURNAL OF SOLID-STATE CIRCUITS）」第27巻第3号（1992年3月発行）第351頁～第358頁（Stephen H. Lewis他”A 10-b 20-Msample/s Analog-to-Digital Converter”）に記載されている。縦続形式のA/D変換器は、高速化、高集積化が比較的容易であるため集積回路に盛んに用いられている。

【0003】同文献に示されているA/D変換器の構成の概略を図9に示す。本A/D変換器は、1.5ビットのA/D変換を行なうA/D変換ステージ6の（j+1）個を縦続接続してmビットの変換を行なうものである。1つのA/D変換ステージ6の詳細が同図の右下に示されている。

【0004】A/D変換器は、まず、アナログ入力信号Vinをサンプリング及びホールドする増幅器（以下「SHA」という）1でサンプル/ホールドする。ホールドされたアナログ信号は、小ビットのA/D変換器（以下「サブADC」という）2で1.5ビットのデジタル信号に変換され、続いて同デジタル信号は、小ビット（この例では1.5ビット）のD/A（デジタル/アナログ）変換器（以下「サブDAC」という）3でアナログ信号に変換される。前記ホールドされたアナログ信号は、更に減算器4によって変換後のアナログ信号を差し引かれ、その差信号が減算器4から出力される。同差信号は、SHA5で2倍に増幅されてからホールドされる。そのホールドされたアナログ信号が次段のステージに供給される信号になる。

【0005】このようにして、各ステージから1.5ビットのデジタル信号が出力され、それらがエンコーダ/デジタル補正回路7で処理されてmビットのデジタル信号になる。なお、これらの各回路は、外部からのクロック信号CLKをもとに生成するクロック生成回路8出力のクロック信号によって動作タイミングが設定され、縦続接続のステージ6がパイプライン動作する。このため、クロック信号をどこまで高速にし得るか、即ち本A/D変換器の変換速度は、ステージ6の動作時間で決まる。

【0006】A/D変換器の変換速度の説明を容易にするためにステージ6を2段直列接続した部分〔n段目と（n+1）段目〕に着目する。これを図10に示す。速度を決定するクリティカルパスを太線で示している。クリティカルパスにおいては、まず、n段目のサブADC2からのデジタル信号がサブDAC3に入力され、次に同デジタル信号に対応するアナログ信号がサブDAC3から出力される。減算器4は、サブADC2に入力されたアナログ信号からサブDAC3出力のアナログ信号を減算し、n段目のSHA5でその差信号を2倍に増幅してサンプル/ホールドする。さらに、ホールドされ

たアナログ信号は次段〔(n+1)段目〕のサブADC 2に入力され、入力信号は、同サブADCの比較器で基準電圧と比較される。

【0007】従って、クリティカルパスにおける信号の流れ時間は、図10aにおいて、n段目のサブADC 2内部のデジタル処理回路（図示せず）からA/D変換結果のデジタル信号が出力され始めてから、次段

〔(n+1)段目〕のサブADC 2内部の比較器（図示せず）が差信号を基準電圧と比較する動作を完了するまでに要する時間となる。

【0008】そのような時間経過をタイムチャートを使って図10bに示す。サブADC 2のデジタル出力が始まってから比較動作を経、次の段階のデジタル出力が終了するまでがステージにおける変換動作の一周期になる。サブADC 2がデジタル出力の間に次段のサブADC 2は比較動作を行ない、サブADC 2が比較動作の間に次段はデジタル出力を行なうというように動作を交互に繰り返す。そして、n段目のサブADC 2のデジタル出力が始まってから次段の(n+1)段目のサブADC 2のデジタル出力が始まるまでの間に、n段目のサブDAC 3のD/A変換と、減算器4の差信号出力と、n段目のSHA 5の増幅ホールドと、(n+1)段目のサブADC 2の比較動作とが順次行なわれて比較動作が終了している必要がある。

【0009】これらのうち特に時間を必要とするのがSHA 5によるサンプル/増幅/ホールドとサブADC 2の比較動作であり、そのような2動作が直列になっていることがA/D変換器の動作速度を低下させる要因となっている。なお、図10bでは、ホールド信号を出力するまでのサンプル/増幅/ホールド時間を T_1 、比較結果を出力するまでの比較動作の時間を T_2 で示した。また、動作を終了して安定に信号を出力している状態を交叉斜線で示した。

【0010】以上の結果、従来のA/D変換器は、構成素子として高速のトランジスタ素子を用いながら動作速度が上らないという問題点があった。

【0011】

【発明が解決しようとする課題】本発明の目的は、従来技術の前記問題点を解決し、クリティカルパスにおける信号の流れ時間を短縮することによってA/D変換器を高速化することにある。

【0012】

【課題を解決するための手段】本発明の前記課題は、前段からのデジタル信号に応じた電圧値の基準電圧を出力する基準電圧発生回路をサブADCに付加し、サブADCの有する比較器に同基準電圧と減算器入力のアナログ信号とを供給することによって効果的に解決することができる。デジタル信号に応じた基準電圧は、換言するとD/A変換結果の信号であり、そのため基準電圧発生回路はサブDACと同一の機能を有するD/A変換器

と云うことができる。一方、比較器は、アナログ信号から基準電圧を減じて基準電圧に対するアナログ信号の大きさを判定するものであり、もともと減算の機能を有している。比較器の出力結果がデジタル処理されてA/D変換結果のデジタル信号になる。

【0013】従って、本発明におけるクリティカルパスは、アナログ信号からサブDACの出力信号を減じてサンプル/増幅/ホールドする経路と、同一アナログ信号からD/A変換結果を減じて比較を行なうサブADC内部の経路との並列になる。その結果、二つの経路が直列になる従来のクリティカルパスに比べてクリティカルパスにおける信号の流れ時間が大幅に短縮される。なお、基準電圧発生回路のD/A変換動作は、サブDACと同様に高速であり、クリティカルパスにおける信号の流れ時間に与える影響は軽微である。

【0014】以上に述べた本発明のA/D変換器の2ステージ分の回路とそのタイムチャートを図1に示す。同図において、9は、基準電圧発生回路を付加したサブADCを示す。n段目のサブADC 9のデジタル出力がn段目のサブDAC 3の他に(n+1)段目のサブADC 9に供給されるとともに、n段目の減算器4入力のアナログ信号が同じく(n+1)段目のサブADCに供給される。同サブADCは、これら2信号を入力して基準電圧出力(D/A変換)と減算及び比較動作を行なう。

【0015】上述のクリティカルパスは、図1aの太線になり、図1bに示すタイムチャートにおいて、信号の流れは、n段目のサブADC 9のデジタル出力からn段目のSHA 5を経るものと、同じくn段目のサブADC 9のデジタル出力から(n+1)段目のサブADC 9を経るものの2者になる。どちらの経路も時間を要する回路を一つだけ含むようになるので、大きな時間の余裕が生じ、その分A/D変換器の動作を高速化することが可能となる。

【0016】なお、図1では、サブADC 9のデジタル化ビット数を1.5ビットとしたが、これに限らず任意のiビットとすることが可能であり、また、SHA 5の増幅率も2倍に限らずデジタル変換のビット数やサブDACの構成に応じて変える(k倍)ことが可能である。

【0017】なお、サブADC 9内部の基準電圧発生回路は、例えば、2種の電圧源の間に複数の抵抗を直列に接続し、2個の抵抗の接続点毎にデジタル信号に応じて開閉するスイッチを設ける構成によって実現することができる。同接続点から取り出す基準電圧の種類は、デジタル信号のレベル数（例えば、1.5ビットであれば3、2ビットであれば4）にA/D変換に要する比較器の数（例えば、1.5ビットであれば2、2ビットであれば3）を乗じた数になる。

【0018】

【発明の実施の形態】本発明に係るA/D変換器の実施

の形態を図2に示す。iビットのA/D変換を行なうステージ6を(j+1)段縦続接続し、最終の(j+1)段にはpビットを出力するステージ6aを設置した。全体でmビットを出力する。最終段がpビットであるのは、ここがiビットであるとmビットの量子化ステップ数が $2^m - 1$ となるのを 2^m になるように補正するためであり、pは、iよりも高く設定される。 $2^m - 1$ が許容されて補正が不要の場合は、云うまでもなく $p = i$ である。

【0019】初段と最終段以外の各ステージの構成を2段目を例にとって同図左下に示す。また、最終段の構成を右下に示す。2段目の構成は、図1に示したn段目のステージに対し、サブADC9出力をiビットとし、かつ、SHA5の増幅率をk倍とした他、図1では前段の(n-1)段目にあるサブDACと減算器4とSHA5を便宜上n段目に移し、それを改めてn段目のサブDACと減算器4とSHA5としたものである。n段目にあったサブDACと減算器4とSHA5は、(n+1)段目に移して改めて(n+1)段目のサブDACと減算器4とSHA5とし、このようにして他の段においても同様に1段ずらす。このような変更は、全体を書き易くするためであって、云うまでもなくA/D変換器全体の構成そのものには変わりがない。また、図2において、9aは、pビット出力のサブADCを示す。(j+1)段目のステージ6aは、サブADC9aのみで構成される。

【0020】サブADC9の構成を図3に示す。同図において、11は、前段からのiビットのデジタル信号に対応する基準電圧を出力する基準電圧発生回路、12は、同基準電圧を負極端子に入力し、前段の減算器4入力のアナログ信号を正極端子に入力する比較器、13は、比較器12の出力信号を入力してiビットのデジタル信号を出力するデジタル処理回路を示す。基準電圧発生回路11が出力可能な基準電圧の全数及び比較器12の個数は、iの大きさに応じて設定される。

【0021】なお、サブADC9aは、基準電圧発生回路11が出力可能な基準電圧が1個増え、更に比較器12が1個増えるのみであり、基本構成は図3と同一である。また、図2のA/D変換器の初段のステージには、デジタル信号として、アナログ入力信号Vinの中間レベルに対応する固定の信号(Dda0)を与えた。

【0022】図2、3に示した構成により、サブDACと減算器4及びSHA5の動作とサブADC9の比較動作が並列になり、A/D変換器の速度を高めることができた。続いて、幾つかの図面に示した実施例により本発明のA/D変換器を更に詳細に説明する。

【0023】

【実施例】 $i = 1.5$ 、 $k = 2$ 、 $p = i$ としたA/D変換器を図4に示す。入力のアナログ信号は、完全差動入力信号とした。サブDAC3、減算器4及びSHA5は、一体化した回路(以下「一体化SHA」という)で

構成した。図4において、その回路を記号203で表わした。

【0024】また、同図において、VRTは、サブADC9で基準電圧を生成するための一方の電圧源電圧、VRBは、電圧の絶対値がVRTと同一の負の電圧源電圧、201は、電圧VRTと電圧VRBを用いて各種の基準電圧を生成するための抵抗群、202は、前段からのデジタル信号に応じて開閉を行なうスイッチ群を示す。同図では明示していないが、基準電圧発生回路11は、抵抗群201及びスイッチ群202によって構成される。なお、各抵抗の値は、一方の端子が固定電圧VRT又は電圧VRBの配線に接続されているものが $1.5R$ 、その他は全て R である。また、SHA1の完全差動入力信号を図中でVinp(正)、Vinn(負)で表わした。

【0025】一体化SHA203の構成を図5に示す。同図において、ViT、ViBは、それぞれ正負の入力アナログ信号、Vop、Vonは、それぞれ正負の出力アナログ信号、Cp1、Cp2、Cn1、Cn2は、減算とホールドを行なうためのコンデンサ、204は完全差動演算増幅器、 $\phi s0$ 、 $\phi s1$ 、 $\phi s2$ は、入力の1.5ビットデジタル信号の3レベルに対応した入力パルス(いずれか一つのみが“1”になり、その他は“0”になる)、 ϕs はサンプリングパルス、 ϕh はホールドパルスを示す。これらのパルスは、クロック生成回路8からのクロック信号に同期している。

【0026】入力パルス $\phi s0$ 、 $\phi s1$ 、 $\phi s2$ が供給されるスイッチとサンプリングパルス ϕs が供給されるスイッチと各コンデンサとでD/A変換及び入力アナログ信号ViT、ViBのサンプリングの動作が行なわれる。入力パルス $\phi s0$ 、 $\phi s1$ 、 $\phi s2$ とサンプリングパルス ϕs は互いに同相となっている。ホールドパルス ϕh は、これらに対して逆相になっており、同パルスが“1”のときに減算とホールドが行なわれる。また、出力アナログ信号Vop、Vonが入力アナログ信号ViT、ViBの2倍になるようにコンデンサCp1、Cp2、Cn1、Cn2を $Cp1 = Cp2$ 、 $Cn1 = Cn2$ とした。

【0027】このように本回路は、各コンデンサに対するスイッチングによって動作が行なわれるので、スイッチドキャパシタ型と称することとする。

【0028】初段(ステージ1)の一体化SHA203には、前記したように、デジタル信号の3レベルのうちの中間のレベルDda0が常時与えられ、 $\phi s0 = 0$ 、 $\phi s1 = 1$ 、 $\phi s2 = 0$ で固定されている。その一体化SHA203の入出力特性を図6に示す。SHA1の増幅率は1であるので、SHA1の出力信号の差、即ち初段一体化SHA203の入力信号の差 ΔVin は、 $\Delta Vin = Vinp - Vinn$ となり、出力信号の差 ΔVo は、 $\Delta Vo = Vop - Von$ となる。図6においては、横軸に入力信号の差 ΔVin を取り、縦軸に出力信号の差 ΔVo をとった。差電圧

の単位として、電圧 V_{RT} 、 V_{RB} の差 $\Delta V_R = V_{RT} - V_{RB}$ を用いた。入力信号の差 ΔV_{in} の範囲は、 $-\Delta V_R/2 < \Delta V_{in} < \Delta V_R/2$ に設定した。なお、出力信号 V_{op} 、 V_{on} は、それぞれ次段の入力信号 V_{iT} 、 V_{iB} となる。

【0029】2段目以降（ステージ2～ステージj）の一体化SHA203の入出力特性を図7に示す。入出力特性は、デジタル信号の3レベルのうちの最小レベルが入力されたときに $\phi s0=1$ 、 $\phi s1=0$ 、 $\phi s2=0$ となって直線（J）になり、中間レベルが入力されたときに $\phi s0=0$ 、 $\phi s1=1$ 、 $\phi s2=0$ となって直線（K）になり、最大レベルが入力されたときに $\phi s0=0$ 、 $\phi s1=0$ 、 $\phi s2=1$ となって直線（L）になる。図7において、横軸に入力信号の差 $\Delta V_{in} = V_{iT} - V_{iB}$ をとり、縦軸に出力信号の差 ΔV_o をとった。

【0030】一体化SHA203の入力アナログ信号の範囲は、 $\phi s0=1$ 、 $\phi s1=0$ 、 $\phi s2=0$ の場合に $\Delta V_{in} < -\Delta V_R/4$ 、 $\phi s0=0$ 、 $\phi s1=1$ 、 $\phi s2=0$ の場合に $-\Delta V_R/4 < \Delta V_{in} < \Delta V_R/4$ 、 $\phi s0=0$ 、 $\phi s1=0$ 、 $\phi s2=1$ の場合に $\Delta V_R/4 < \Delta V_{in}$ となっている。そして、直線（J）、（K）、（L）で示した前記出力電圧は、一体化SHA203が上記入力アナログ信号を増幅率2倍でそのまま増幅したと仮定したときの出力電圧に対して、それぞれ、 ΔV_R 、0、 $-\Delta V_R$ の電圧を加えたものとなっている。その結果、出力信号の電圧範囲の中間電位は、デジタル信号に応じて変化するものとなる。

【0031】次に、本実施例で用いたサブAD9の比較器12を図8に示す。図8には、スイッチ群202と抵抗群201からの電圧とを合わせて示した。抵抗群201からの電圧は、図4における2列の抵抗列のうちの左側（比較器12の正極端子側につながる側）で、二つの抵抗の間の電圧を電圧 V_{RT} 側から（図4で上側から）順に、 V_{rfp6} 、……、 V_{rfp2} 、 V_{rfp1} として取り出したものと、抵抗列のうちの右側（比較器12の負極端子側につながる側）で、二つの抵抗の間の電圧を電圧 V_{RB} 側から（図4で下側から）順に、 V_{rfn6} 、……、 V_{rfn2} 、 V_{rfn1} として取り出したものである。これらの電圧が基準電圧になる。

【0032】スイッチ群202は、 $\phi s0=1$ 、 $\phi s1=0$ 、 $\phi s2=0$ の場合に V_{rfp2} と V_{rfp1} 及び V_{rfn2} と V_{rfn1} 、 $\phi s0=0$ 、 $\phi s1=1$ 、 $\phi s2=0$ の場合に V_{rfp4} と V_{rfp3} 及び V_{rfn4} と V_{rfn3} 、 $\phi s0=0$ 、 $\phi s1=0$ 、 $\phi s2=1$ の場合に V_{rfp6} と V_{rfp5} 及び V_{rfn6} と V_{rfn5} を選ぶように動作する。このような動作がサブD/A変換に相当する。

【0033】本実施例の比較器12は、チョッパ形と呼ばれる方式のもので、入力のアナログ信号 V_{iT} 、 V_{iB} をサンプリングするための制御パルス ϕ_{in} が供給されるスイッチと、スイッチ群202と、初期条件を設定す

るためのオートゼロパルス ϕ_{az} が供給されるスイッチの3種のスイッチによってコンデンサ C_{ia} 、 C_{ib} にアナログ信号 V_{iT} 、 V_{iB} と基準電圧との差電圧が蓄えられる。続いて、その電圧の正負を完全差動増幅器205が判定することによって比較動作が行なわれる。なお、図8aに示すように、コンデンサ C_{ic} 、 C_{id} と差動増幅器205とパルス ϕ_{az} が供給されるスイッチとからなる回路をもう一組縦続に接続して比較の感度を高めるようにした。

【0034】比較器12の動作は、まず、パルス ϕ_{in} でオンとなったスイッチを介して入力信号 V_{iT} 、 V_{iB} をそれぞれコンデンサ C_{ia} 、 C_{ib} にサンプルする。このときパルス ϕ_{az} でオンとなっているスイッチにより差動増幅器205の入出力が短絡され、入出力端は自己バイアス電圧となる。次にパルス ϕ_{in} 、 ϕ_{az} が信号変化してスイッチがオフになり、代わってデジタル信号のレベルに応じて決まる入力パルス $\phi s0$ 、 $\phi s1$ 、 $\phi s2$ によって所定の基準電圧をコンデンサ C_{ia} 、 C_{ib} に選択入力して入力電圧を基準電圧と比較する。

【0035】パルス ϕ_{in} 、 ϕ_{az} 及び $\phi s0$ 、 $\phi s1$ 、 $\phi s2$ のタイミング関係と対応する動作を図8bに示す。

【0036】比較器12の比較結果は、デジタル処理回路13に送られ、デジタル信号が出力される。なお、処理回路13は、ラッチ制御パルス ϕ_L によって、制御される。

【0037】

【発明の効果】本発明によれば、縦続型のパイプライン方式A/D変換器において、サンプル/ホールドアンプの増幅/ホールド動作とサブA/D変換器の比較器の比較動作とを直列にする必要がなくなり、従来に比較レリティカルパスを短縮することができる。その結果、高速動作のA/D変換器を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るA/D変換器の原理を説明するための回路構成図及びタイムチャート図。

【図2】本発明のA/D変換器の実施の形態を説明するための回路構成図。

【図3】本発明のA/D変換器に使用するサブADCを説明するための回路構成図。

【図4】本発明のA/D変換器の実施例を説明するための回路図。

【図5】実施例で用いるサンプル/ホールドアンプを説明するための回路図及びタイムチャート図。

【図6】実施例で用いる初段のサンプル/ホールドアンプの入出力特性を説明するための直線図。

【図7】実施例で用いる2段目以降のサンプル/ホールドアンプの入出力特性を説明するための直線図。

【図8】実施例で用いるサブADCを説明するための回路図及びタイムチャート図。

【図9】従来のA/D変換器を説明するための回路構成

図。

【図10】従来のA/D変換器のクリティカルパスを説明するための回路構成図及びタイムチャート図。

【符号の説明】

- 1, 5 : サンプル/ホールドアンプ (SHA)
 2, 9 : サブADC
 3 : サブDAC
 4 : 減算器
 6 : サブAD/DAステージ

7 : エンコーダ/デジタル補正回路

8 : クロック生成回路

11 : 基準電圧発生回路

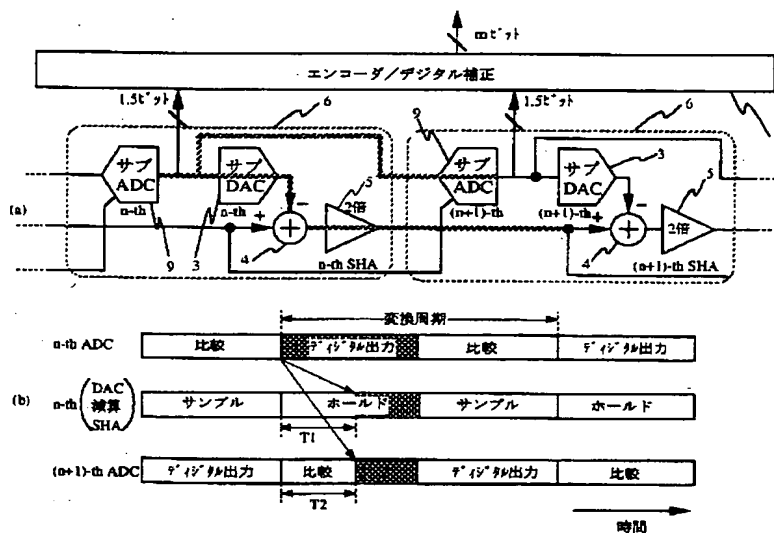
12 : 比較器

201 : 抵抗群

202 : スイッチ群

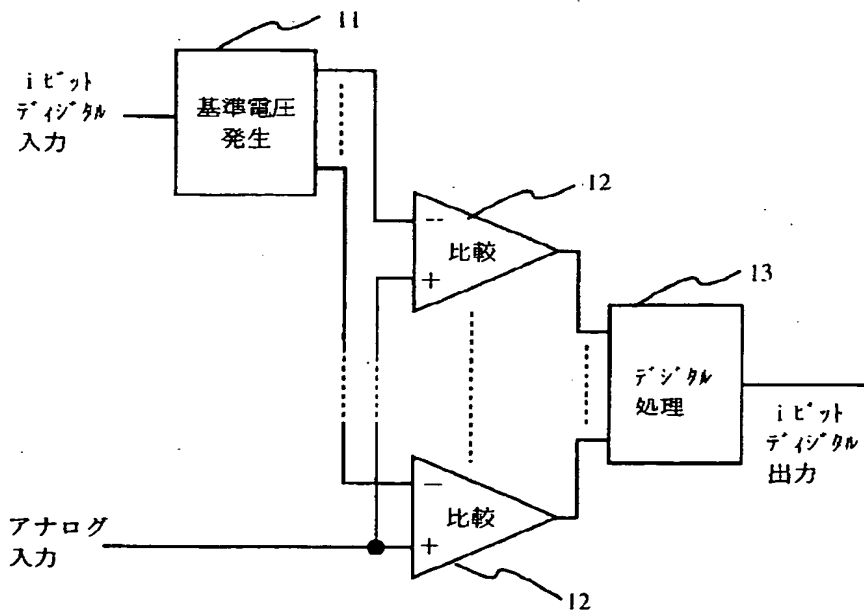
203 : 一体型サンプル/ホールドアンプ (一体型SHA)

【図1】

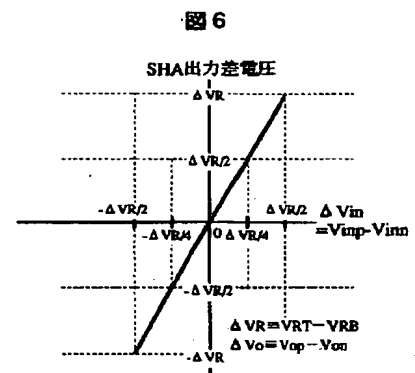


【図3】

図3



【図6】



【図4】

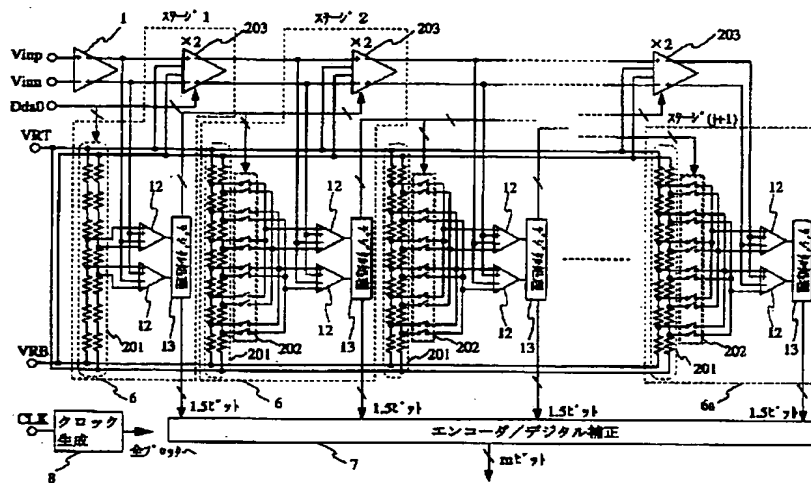
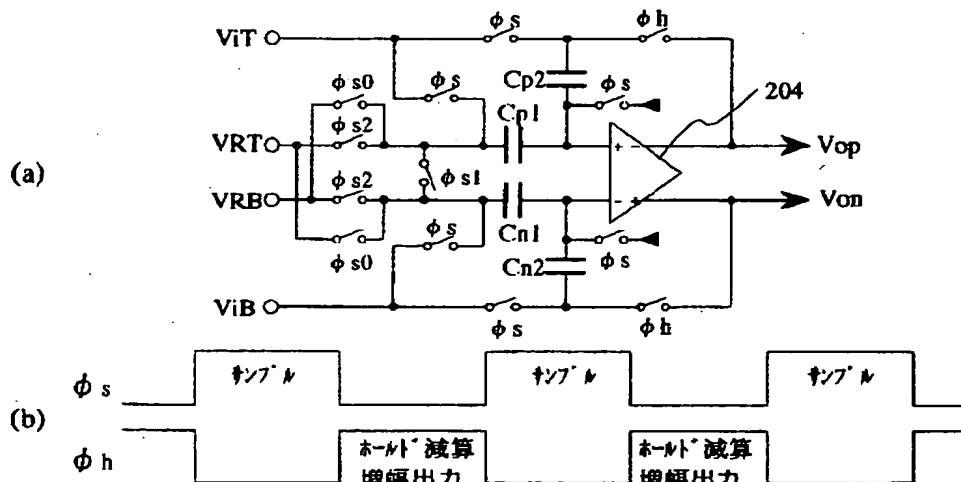


図4

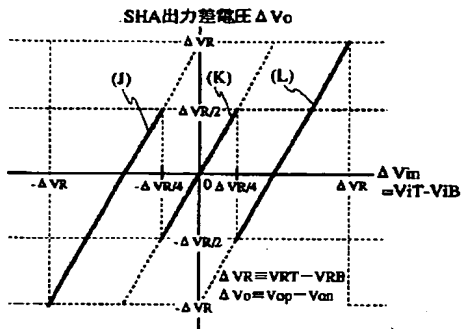
【図5】

図5



【図7】

図7



【図8】

図8

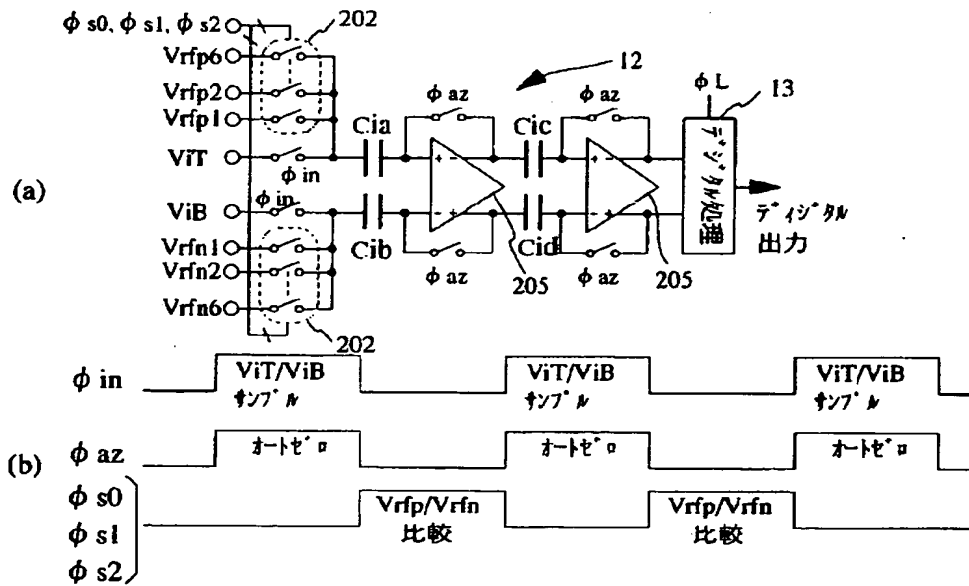
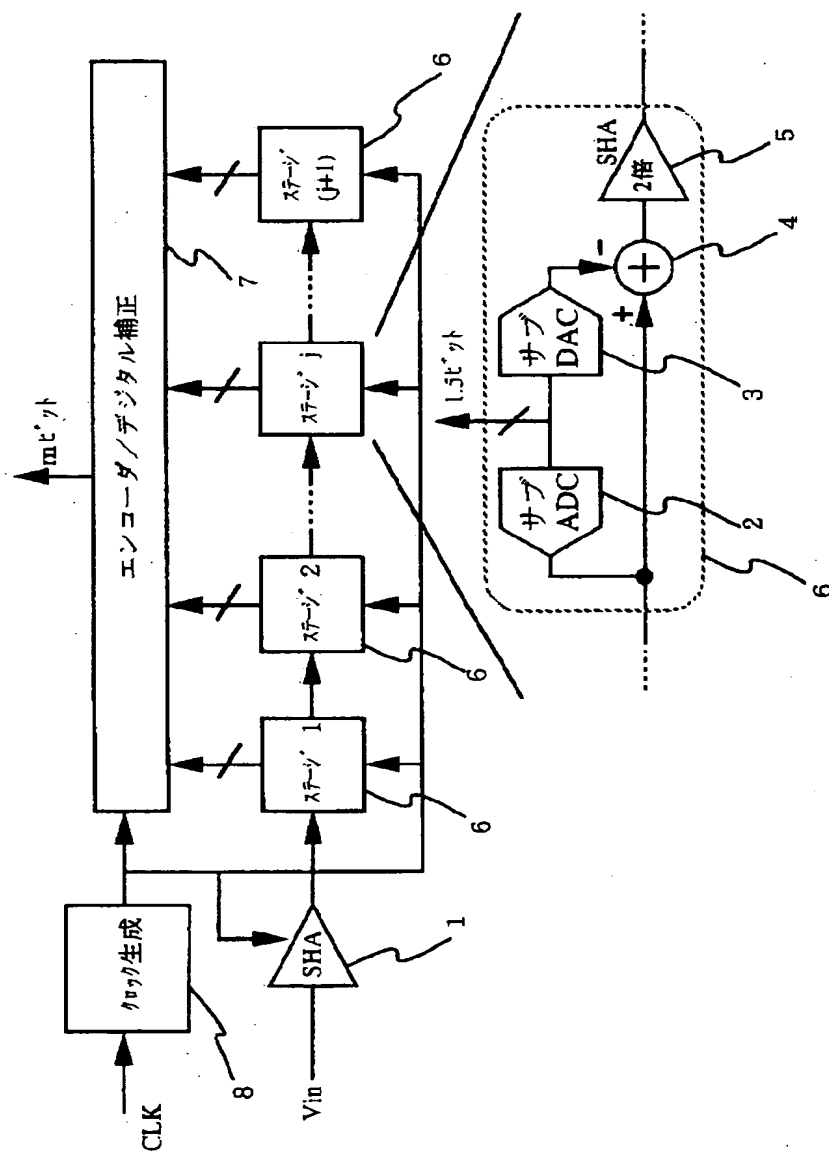
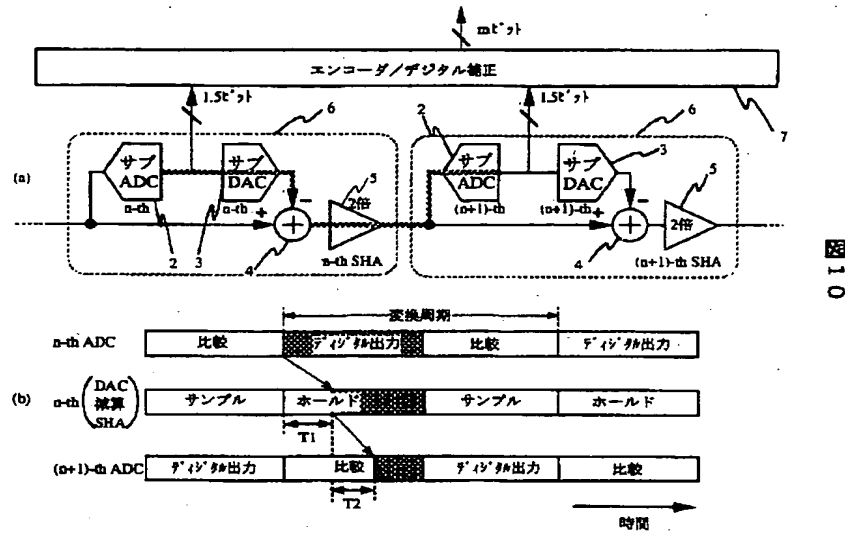


图 9



【図10】



フロントページの続き

(72)発明者 松鶴 敏博
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 松浦 達治
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内
(72)発明者 小松 達也
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内